

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-013541
(43)Date of publication of application : 21.01.1994

(51)Int.Cl. H01L 25/10
H01L 25/11
H01L 25/18

(21)Application number : 05-062526 (71)Applicant : MOTOROLA INC
(22)Date of filing : 01.03.1993 (72)Inventor : LIN PAUL T

(30)Priority

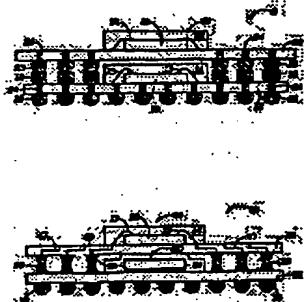
Priority number : 92 844075 Priority date : 02.03.1992 Priority country : US

(54) THREE-DIMENSIONAL MULTIPLE-CHIP SEMICONDUCTOR DEVICE THAT CAN BE LAMINATED AND ITS MANUFACTURE

(57)Abstract:

PURPOSE: To connect a one-chip carrier to another chip carrier to each other by solder junction in a three-dimensional multiple-chip module(MCM) that can be laminated.

CONSTITUTION: In an upper chip carrier, solder balls 23 are provided at the lower surface of a substrate 46. In a lower chip carrier, solder balls 16 are provided at the upper surface of the substrate, and solder balls 15 are provided at the lower surface. A lid 60 is used, and a device 50 can be sealed. The height of the lid serves the role of a natural stand-off projection between the levels of the carriers and serves the role of a sandglass-shaped solder junction 29, which extends the withstanding life time of the junction to the maximum. A heat sink, which further enhances the thermal dissipation of the MCM, can be readily applied in this laminating method. Furthermore, since each substrate can mount a plurality of chips, the module can accept the increases in three-dimensional chip density, at the same time as the increase in a flat-plane chip density.



LEGAL STATUS

[Date of request for examination] 29.02.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3239909

[Date of registration] 12.10.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] Are the semi-conductor multi chip module (8) in which a laminating is possible, and said module is made of :thermal-conductivity ingredient. The solder bump of plurality [front face / the up front face of a carrier, and / both / pars-basilaris-ossis-occipitalis] It is made at said lower part chip carrier substrate (12) with the 1st semi-conductor die (10); thermal-conductivity ingredient pasted up electrically and physically. (15) — and lower part chip carrier substrate (12); which has a solder pad (16) — The upper part chip carrier substrate which has an up front face and a pars-basilaris-ossis-occipitalis front face (20); It is mounted in two or more solder bumps (23); in the pars-basilaris-ossis-occipitalis front face of said upper part chip carrier substrate (20), and said upper part chip carrier substrate (20). In the 2nd semi-conductor die (18) combined electrically, said lower part carrier (12) and said upper part substrate (20) by joining said solder bump (23 16) The semi-conductor multi chip module which is characterized by being constituted by 2nd semi-conductor die (18); characterized by connecting electrically mutually and in which a laminating is possible.

[Claim 2] Are the semi-conductor multi chip module (59) in which a laminating is possible, and said module is made from :thermal-conductivity ingredient. On both the up front face of a carrier substrate (52), and a pars-basilaris-ossis-occipitalis front face The 1st semi-conductor die pasted up on the lower part chip carrier substrate (52); aforementioned lower part chip carrier substrate (52) which has two or more solder bumps (15) and solder pads (16) electrically and physically (50); It is made from the thermally conductive ingredient. Two or more solder bumps in the pars-basilaris-ossis-occipitalis front face of the upper part chip carrier substrate (46); aforementioned upper part chip carrier substrate (46) which has an up front face and a pars-basilaris-ossis-occipitalis front face (23); It is mounted in said upper part chip carrier substrate (46). In the 2nd semi-conductor die (10) combined electrically 2nd semi-conductor die (10); characterized by said lower part chip carrier substrate (52) and said upper part chip carrier substrate (46) of each other being electrically connected by the soldered joint (29), and said 1st [the] The semi-conductor die is covered. Said upper part chip carrier substrate (46), The semi-conductor multi chip module which is characterized by being constituted by cover (60); which commits the mating-standoff projection for making the soldered joint (29) of a sandglass configuration between said lower part CHIPPE carrier substrates (52) and in which a laminating is possible (59).

[Claim 3] Are the semi-conductor multi chip module (25) in which a laminating is possible, and said module is made from :thermal-conductivity ingredient. On both the up front face of a lower part chip carrier substrate (26), and a pars-basilaris-ossis-occipitalis front face The 1st semi-conductor die pasted up on the lower part chip carrier substrate (26); aforementioned lower part chip carrier substrate (26) which has two or more solder bumps and solder pads (15 16) electrically and physically (10); It is made from the thermally conductive ingredient. Two or more solder bumps on the pars-basilaris-ossis-occipitalis front face of the upper part chip carrier substrate (30); aforementioned upper part chip carrier substrate (30) which has an up front face and a pars-basilaris-ossis-occipitalis front face (23); It is mounted in said upper part chip carrier substrate (30). In the 2nd semi-conductor die (18) combined electrically said lower part chip carrier substrate (26) and said upper part chip carrier substrate (30) by soldered joint (29) Said 1st semi-conductor die (10) is covered. The 2nd semi-conductor die characterized by connecting electrically mutually (18); Said upper part chip carrier substrate (30), In order to raise cover (28); and heat leakage which commit the mating-standoff projection for making the soldered joint (29) of a sandglass configuration between said lower part chip carrier substrates (26) The semi-conductor multi chip module which is characterized by being constituted by heat sink (40); pasted up on the up front face of said lower part chip carrier substrate (26) and in which a laminating is possible.

[Claim 4] It is the approach of manufacturing the semi-conductor multi chip module (59) in which a laminating is possible. The phase of forming the lower part chip carrier substrate (52) with which said approach is made from :thermal-conductivity ingredient; two or more solder bumps and solder pads (15 16) on both the up front face of said lower part chip carrier substrate (52), and a pars-basilaris-ossis-occipitalis front face The phase of

1st semi-conductor die (50) The phase electrically combined with said lower part chip carrier substrate (52); A cover (60) is placed on said 1st semi-conductor die. The phase of working a mating-standoff projection; It is the phase of forming the upper part chip carrier substrate (46) made from a thermally conductive ingredient. The phase of forming the upper part chip carrier substrate (46) with which said upper part chip carrier substrate has an up front face and a pars-basilaris-ossis-occipitalis front face; on the pars-basilaris-ossis-occipitalis front face of said upper part chip carrier substrate (46) The phase of making two or more solder bumps (23) putting; the 2nd semi-conductor die (10) The phase mounted in said upper part chip carrier substrate (46); said semi-conductor die (10) The phase electrically combined with said upper part chip carrier substrate (46); with the location of a solder bump and a solder pad (15, 16, 23) A reflow of phase; which adjusts said upper part chip carrier substrate (46) with said lower part chip carrier substrate (52), said solder bump, and the solder pad is carried out together. How to manufacture the semi-conductor multi chip module which is characterized by being constituted by phase; which attains a physical connection and electrical installation (29) and in which a laminating is possible.

[Claim 5] It is the approach of manufacturing the semi-conductor multi chip module (59) in which a laminating is possible. The phase of forming the lower part chip carrier substrate (26) with which said approach is made from thermal-conductivity ingredient; two or more solder bumps (15) and solder pads (16) on both the up front face of said lower part chip carrier substrate (26), and a pars-basilaris-ossis-occipitalis front face The phase of mounting the phase; 1st semi-conductor die (50) made putting on said lower part chip carrier substrate (26); said 1st semi-conductor die (10) The phase electrically combined with said lower part chip carrier substrate (26); A cover (28) is placed on said 1st semi-conductor die (10). The phase of working a mating-standoff projection; It is the phase of forming the upper part chip carrier substrate (30) made from a thermally conductive ingredient. The phase of forming the upper part chip carrier substrate (30) with which said upper part chip carrier substrate has an up front face and a pars-basilaris-ossis-occipitalis front face; on the pars-basilaris-ossis-occipitalis front face of said upper part chip carrier substrate (30) The phase of making two or more solder bumps (23) putting; the 2nd semi-conductor die (18) The phase mounted in said upper part chip carrier substrate (30); said semi-conductor die (18) The phase electrically combined with said upper part chip carrier substrate (30); with the location of said solder bump and a solder pad (15, 16, 23) The phase of adjusting said upper part chip carrier substrate (30) with said lower part chip carrier substrate (26); A reflow of both said solder bump and the solder pad is carried out. How to manufacture the semi-conductor multi chip module which is characterized by being constituted by phase; which pastes up phase; and the heat sink which attain a physical connection and electrical installation (29) on the front face of said lower part chip carrier substrate (26) and in which a laminating is possible.

[Translation done.]

*** NOTICES ***

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] Generally this invention specifically relates to the three-dimension semi-conductor multi chip module in which a laminating is possible about a semiconductor device.

[0002]

[Description of the Prior Art] The closure of current and almost all the large-scale integrated circuits (IC) is carried out to the package made from plastics or a ceramic, and in order to solder to a printed circuit (PC) plate from this package, the metal lead for inserting in a socket is extended. Usually, these IC packages are constituted as the dual in-line (DIP) one or a quad flat (quad-flat) package. In most examples, although put only into one IC in one package, occasionally it may be put into two or more chips into one package. Since especially the package of

circuit board) when using a socket, circuit density does not become so high as a result of such a package technique.

[0003] Moreover, like all other things of electronic equipment, it was miniaturizing and accelerating and densification of the printed circuit board is carried out. When the component-side product is restricted, or when it is required that it should approach and a circuit element should be installed from the requirements for consideration about a rate, a compacter package technique is needed. Such a technique is KOFAIADO (the configuration which cofired ceramic substrate ** uses is taken, on this substrate, IC pastes a ceramic mounting front face directly with a non-packed gestalt, and wirebonding is carried out to the electric conduction field on this front face of mounting, it is reversed, for example, direct continuation is carried out to the metallizing field on a ceramic mounting front face by the solder bump technique.). However, there are some limitations in this multi chip module (MCM) technique. In order to interconnect two or more ICs in an one ceramic mounting front-face top, it is the pattern which avoids a crossover desirably and it is necessary to put a metallic material. Moreover, on the surface of many, covering of the metallic conductor of very minute resolution is difficult. Although multilayer interconnect is also possible, occasionally severe high costs may start and a limitation is in a thermal power dissipation function under air quenching. Moreover, direct adhesion of a chip has constraint that there is no burn-in function before a module assembly, and the repair after substrate mounting is also difficult for it. Furthermore, regardless of activity and passivity, to a circuit, when components are required, discrete part must be used from the problem of the size accompanying this, and a mounting device.

[0004] Nevertheless, the appearance of MCM brings **** better ***** to the packaging of IC. The time delay during a chip decreases, an electric noise and a cross talk decrease, and size becomes small. Moreover, the chip to be used can be enlarged and the I/O lead count per multi chip module increases sharply. However, in spite of the advantage of these versatility, current MCM has a series of problems. The problem of heat control is large. The heat generated from two or more devices must be removed. The whole heat path from a die to a die attach, a substrate, and a heat sink should be taken into consideration as the consistency of the gate on one chip increases. Thermally conductive ceramics, such as single crystal silicon and aluminium nitride, and silicon carbide, are excellent in the heat transfer function or the heat equalization function compared with a conventional ceramic ingredient and a conventional printed circuit board ingredient. Moreover, it has effect in the dependability of solder, wire bond, and electrical connection also with a gradually big change of heat. In order to make an MCM design successful, balance must actually be maintained between the ingredient which has the individual most effective conductivity, and the ingredient with which the coefficient of thermal expansion is collectively alike.

[0005] While inspecting all dies with a probe one by one before assembly conventionally, an important unit performs a burn-in under the conditions which accelerated aging, and makes a next system-failure generating risk the minimum. A burn-in is carried out in order to eliminate a weak device, and a burn-in is performed to the device usually packed rather than the nakedness chip. Almost all the burn-ins failure relates to the device or die which considers the weak oxidization gate as a cause. When adopting a burn-in to MCM, this process should be carried out on the packed module level. The fault of the burn-in in module level is that 1% of die in a module causes a failure, and must be exchanged for another good die with a suitable removal procedure.

[0006] In another MCM approach, a nakedness chip is interconnected not along with XY flat surface but along with the Z-axis. Compared with the flat-surface multichip substrate, three-dimension packaging offers a higher memory consistency, and is reducing the required interconnect consistency. Consequently, it is expected that the connection system which links MCM, discrete part, and a passive component is extended to Z shaft orientations which make a right angle to a substrate. The three-dimension packaging of IC brings about an advantage in many fields. For example, it can use for the memory of a supercomputer with important rate and densification, or large-scale cache memory with important access time and densification.

[0007] The one approach of interconnecting a nakedness chip is repeating a chip and forming one cube. A chip interconnects on the same thin film as a TAB film one by one by the gold streak beforehand, before forming a cube. After passing an electric trial and a burn-in, using a TAB film, they are accumulated on each and paste up. The first fault of this configuration is that heat leakage is restricted. Moreover, if the cube of this chip is once formed and it is mounted on a substrate, since it will very be hard coming to carry out rework of next chip failure and it will include a redundancy chip in a laminating, the cost of the whole module becomes high.

[0008] The super-high density MCM builds this three-dimension approach into a flat-surface multi chip module ideally. There was the approach of carrying out the laminating of the pin grid array (Pin Grid Arrays) (PGA), and forming MCM 20 years before. A copper pin is attached to a lower substrate by the conventional approach. Subsequently to a chip carrier substrate, flip chip mounting of the semi-conductor die is carried out. An aedeagus (interposer) combines a chip carrier substrate with another chip carrier or a lower substrate physically and

electrically by the approach of joining interconnect by solder. These interconnect is located around each substrate and a chip configuration, as a result the chip consistency in each level become easy to receive a limit by this. The copper pin and aedeagus of PGA offer a mating standoff between carriers, and they are maintaining it so that it may not damage each other.

[0009]

[Problem(s) to be Solved by the Invention] For this reason, in order to make the design of MCM successful, power allocation, heat leakage, and temperature should be begun, and a trial, a burn-in, and rework should be taken into consideration. The difficulty [MCM] of a design is that an electrical property, a mechanical characteristic, and a heat characteristic find and assemble the ingredient blended proper. The trade-off is almost always required and it is common that it also changes with applications. While satisfying all the design bases expressed above, the needs to the easy super-high density MCM of manufacture with the high cost effectiveness exist.

[0010]

[Means for Solving the Problem] Based on this invention, the laminating semi-conductor multi chip module which has a lower part chip carrier substrate, an upper part chip carrier substrate, and a semi-conductor die is offered. The lower part chip carrier is made from the thermally conductive ingredient, and has two or more solder bumps on both the top face and the base. The upper part chip carrier substrate is also made from the thermally conductive ingredient, and it has two or more solder bumps on the base. Even if few per substrate, a semi-conductor die is the rate of one piece, and is pasted up electrically and physically to a lower part and an upper part chip carrier substrate. The property and advantage of the above and others will be more clearly grasped from the following detailed explanation together with an accompanying drawing. The important things which should be pointed out are that drawing is not necessarily shown by exact scale, and that other examples of this invention which is not shown concretely may exist.

[0011]

[Example] If this invention is used, the desirable property of the three-dimension multi chip module described previously can be satisfied, and a semi-conductor can be packed to high density, without seldom making substrate area of XY flat surface into a sacrifice. This invention makes it possible to carry out the laminating of the multi chip module to Z shaft orientations. Furthermore, this invention offers the approach of manufacturing such a module. The sectional view of the laminating multi chip module 8 based on this invention in front of a solder reflow is shown in drawing 1. The semi-conductor die 10 is mounted on the lower part chip carrier substrate 12. Electrical connection between the semi-conductor die 10 and the lower part chip carrier substrate 12 is performed by carrying out bonding of the wire 13 in the conventional way. Moreover, the closure of the semi-conductor die 10 is carried out with a sealing agent 14, and this can make it from the conventional sealing agents, such as closure resin or the GUROBU top (glob top), or other suitable ingredients. As for the lower part chip carrier substrate 12, it is desirable to form with thermally conductive ingredients, such as aluminum nitride or silicon. Although printed circuit board material, such as FR-4, can also be used, this ingredient does not have thermal conductivity like a ceramic or silicon. When choosing PC plate, the big inconsistency of thermal expansion must also be taken into consideration. However, that it is low cost will become sufficient motive which a user accepts.

[0012] Moreover, as shown in drawing 1, the lower part chip carrier substrate 12 has two or more solder bumps 15 on the base of a substrate. These solder bumps 15 are used for mounting the lower part chip carrier substrate 12 in an actual PC board (not shown). Furthermore, the lower part chip carrier substrate 12 has two or more solder pads or bumps 16 also on the top face of a substrate. The solder pad 16 serves to connect the lower part chip carrier substrate 12 to another chip carrier mounted on this.

[0013] Moreover, another semi-conductor die 18 mounted in drawing 1 on the upper part chip carrier substrate 20 is shown. The wire 21 by which TAB bonding was carried out to the substrate performs electrical connection between the semi-conductor die 18 and the upper part chip carrier substrate 20. Moreover, the closure of the semi-conductor die 18 is carried out with a sealing agent 22, and this can make it from the conventional sealing agents, such as closure resin or the GUROBU top, or other suitable ingredients. If it has consistency proper because of a soldered joint of the lower part chip carrier substrate 12 and the upper part chip carrier substrate 20, the solder bumps 16 and 23 will join together and a small solder column will be formed.

[0014] In this example, the lower part chip carrier substrate 12 and the upper part chip carrier substrate 20 have through hole Bahia 24, in order to perform mutual electrical connection and electrical connection with other substrates. However, a multilayer chip carrier substrate can also be used for the same purpose of making electrical connection with another substrate.

this example are completely as the same as drawing 1 examined, the same number is attached. In this example, one semiconductor device 27 is mounted on the lower part chip carrier substrate 26. The thermally conductive cover 28 has covered the semiconductor device 27. A cover 28 can also perform work of the mating-standoff projection for making the soldered joint 29 of a sandglass configuration. This sandglass configuration is the maximum length ***** about time amount until the failure of soldered joint 29 occurs with fatigue stress. In order to attain the sandglass configuration of soldered joint 29, it is necessary to optimize the size of the solder bump who stated by drawing 1, or pads 16 and 23 according to the height of a cover. If a proper place does not have a cover, the solder bump of the upper part and a pars basilaris ossis occipitalis will coalesce between solder reflow processes, and will form one big solder bump. Although it is permissible also in this configuration, the sandglass configuration is more more desirable for an endurance life. On the upper part chip carrier substrate 30, two semiconductor devices 32 and 34 are mounted with the stagger configuration. The upper part chip carrier substrate 30 is pasted, and a heat sink 40 can radiate the heat from the lower part semiconductor device 27 through the thermally conductive upper part chip carrier substrate 30 and a thermally conductive cover 28 with this heat sink. When using the 3rd level chip carrier, in order that what should be careful of may carry out staggering also to the upper level semiconductor device further and may carry out stripping of the heat from a lower level semiconductor device, it is having to enable it to paste up a heat sink. The 2nd heat sink 41 is mounted on a heat sink 40, and forms a laminating cooling-fin configuration. In order to raise the heat leakage level of MCM, the available volume on the PC board which is completely possible also for adding a heat sink further on a heat sink 41, and mounts MCM in that case is only restricted.

[0016] Moreover, the approach of carrying out the laminating of the chip carrier, in order to make three-dimension MCM is also based on this invention. The sectional view of the chip carrier (populated) 42 by which the POPYU rate was partially carried out to drawing 3 is shown. As shown in drawing 3, a semiconductor device 44 is mounted on the chip carrier substrate 46. By a diagram, the chip carrier substrate 46 serves as a multilayer. What should be careful of is making it a multilayer or being able to have through hole Bahia, in order that any chip carrier substrate of an example may make electrical connection of a device and a substrate possible. Subsequently, two or more solder bumps or balls 23 which have a specific solder presentation are put on the base of the chip carrier substrate 46. For example, this solder has the very good ratio of lead and tin in the presentation of 80:20, or other practical solder presentations. Electrical connection is made through the multilayer interconnect 47 between a semiconductor device 44 and the solder bump 23. A chip carrier 42 can carry out a trial and a burn-in behiind, before putting the solder bump 23.

[0017] The sectional view of the chip carrier 48 by which the POPYU rate was completely carried out to drawing 4 is shown. A semiconductor device 50 is mounted on the chip carrier substrate 52. it is shown in drawing 4 — as — a semiconductor device 50 — C — although shown by the solder bump 53 4 law as a pad array carrier (Pad Array Carrier) (PAC) mounted on the substrate 52, the mounting approach in which other operations are possible can also be used. As for the solder bump 23, it is [two or more solder bumps or balls 16] desirable that it is a different presentation, and they are put on the top face of the chip carrier substrate 52. The ratio of lead and tin can make the solder bump 16 from 60:40 or the alloy presentation of another ratio. The reason for using the solder of a different alloy presentation on each chip carrier substrate is for making rework easy and preventing remelting of the soldered joint in a consecutive solder reflow. An example of the reflow actuation phase of the consecutiveness considered is carrying out the laminating of the 3rd carrier on a multi chip module. Since a soldered joint is removed using a focusing beam of light, rework can also be simplified. Therefore, it is desirable during remelting of solder not to check other interfaces of solder and a substrate. Besides the solder bump 16 in the upper part of the chip carrier substrate 52, two or more solder bumps 15 are also put on the base of a substrate 52. These solder bumps 16 are used for mounting perfect MCM in a PC board (not shown). Since these solder bump stated previously, it is [the solder bump 23 or the solder bump 16] desirable that it is a different presentation also here.

[0018] Chip carriers 42 and 48 can carry out a trial and a burn-in separately, respectively, before assembling Laminating MCM. It is shown in drawing 5, one example 49, i.e., laminating three-dimension MCM, of this invention. In the laminating process, the solder bumps' 16 and 23 array should be mutually adjusted proper in front of a solder reflow in two chip carrier substrates 46 and especially 52 rows. The example of proper adjustment is shown in drawing 1. In a solder reflow process, as shown in drawing 5, the solder bumps 16 and 23 coalesce and one soldered joint column 58 is formed. Since both the solder bumps of the upper part and a pars basilaris ossis occipitalis are fused and one interconnect is formed without the weak point of junction like [in the case of a copper pin], this configuration should become what has nearby dependability higher than the solder which joins

[0019] One variation of this invention is shown in drawing 6. The sectional view of a laminating MCM 59 is shown. The thermally conductive cover 60 is added to this laminating configuration, and the mating standoff for soldered joint 29 is formed. For the physical constraint which a cover 60 imposes, the soldered joint 29 has taken the sandglass configuration, and since the stress currently concentrated on the edge of junction decreases, this configuration lengthens the endurance life of junction.

[0020] The first advantage of the process which makes Laminating MCM is being able to carry out assembly, a trial, and a burn-in to the chip carrier of each level, before assembling a module. Therefore, use of the defective which leads to the increase of cost, or a redundancy chip set is avoidable. Moreover, rework of this invention can also be carried out easily. By the approach of guessing hot blast locally, a soldered joint or a solder column is picking-removed, respectively, and can be re-joined.

[0021] Drawing included the above-mentioned explanation and here shows many advantages relevant to this invention. Moreover, that the configuration of this three-dimension MCM is an efficient heat leakage unit became whether to be **. The array of a solder column commits the cooling fin for promoting the natural heat convection from a module. That the three-dimension multi chip module which satisfies completely the needs and advantage which were described previously and in which a laminating is possible is offered based on this invention becomes whether to be **. Although this invention is explained with reference to a concrete example, it does not mean that this invention is limited to the these-illustrated example. This contractor will admit that deformation and a variation are possible, without deviating from the intention of this invention. For example, a dummy solder bump can also use it for supporting a lower part chip carrier mechanically, and either of the advantages of tooth-space saving in the electrical property of laminating three-dimension MCM or XY flat surface of a laminating configuration is not affected in that case. moreover, the important thing which should be careful of is never in this invention 7 by what is limited only to a laminating pad array carrier, and are things. the suitable approach of mounting the packed semiconductor device in a chip carrier substrate, and combining electrically — it is — in addition — and any may be used if it is the approach of making the laminating of a substrate possible. Therefore, it has the intention of this invention including all variations and deformation belonging to an attachment claim.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the sectional view in front of a solder reflow of the laminating three-dimension semi-conductor multi chip module (MCM) based on this invention.

[Drawing 2] It is the sectional view of the laminating three-dimension semi-conductor MCM which has a heat sink, and one example of this invention is shown.

[Drawing 3] It is the sectional view of the semiconductor device mounted in the chip carrier substrate which has a solder bump on the lower front face of a substrate, and one phase which assembles the three-dimension semi-conductor MCM is shown based on this invention.

[Drawing 4] It is the sectional view of the semiconductor device mounted on the chip carrier substrate which has a solder bump on both the lower part of a substrate, and an up front face, and one phase which assembles the three-dimension semi-conductor MCM is shown based on this invention.

[Drawing 5] It is the sectional view of the laminating three-dimension semi-conductor MCM, and one example of this invention is shown.

[Drawing 6] It is the sectional view of the laminating three-dimension semi-conductor multi chip module equipped

[Description of Notations]

- 8 Multi Chip Module in which Laminating is Possible
- 10 Semi-conductor Die
- 12 Lower Part Chip Carrier Substrate
- 13 Wire
- 14 Sealing Agent
- 15 Solder Bump
- 16 Solder Pad
- 18 Semi-conductor Die
- 20 Upper Part Chip Carrier Substrate
- 22 Sealing Agent
- 23 Solder Bump / Ball
- 24 Through Hole Bahia
- 25 Laminating Multi Chip Module
- 26 Lower Part Chip Carrier Substrate
- 27 Semiconductor Device
- 28 Cover
- 29 Soldered Joint
- 30 Upper Part Chip Carrier Substrate
- 32 34 Semiconductor device
- 40 41 Heat sink
- 42 Chip Carrier
- 44 Semiconductor Device
- 46 Chip Carrier Substrate
- 47 Multilayer Interconnect
- 48 Chip Carrier
- 49 Laminating Three-Dimension MCM
- 50 Semiconductor Device
- 52 Chip Carrier Substrate
- 53 Solder Bump
- 58 Soldered Joint Column
- 59 Laminating MCM
- 60 Cover

[Translation done.]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-13541

(43)公開日 平成6年(1994)1月21日

(51)Int.Cl.⁵

H 01 L 25/10

25/11

25/18

識別記号

庁内整理番号

F I

技術表示箇所

H 01 L 25/ 14

Z

審査請求 未請求 請求項の数 5(全 7 頁)

(21)出願番号 特願平5-62526

(22)出願日 平成5年(1993)3月1日

(31)優先権主張番号 844075

(32)優先日 1992年3月2日

(33)優先権主張国 米国(US)

(71)出願人 390009597

モトローラ・インコーポレイテッド

MOTOROLA INCORPORATED

アメリカ合衆国イリノイ州シャンバーグ、
イースト・アルゴンクイン・ロード1303

(72)発明者 ポール・ティー・リン

アメリカ合衆国テキサス州オースティン、
セロ・コープ6411

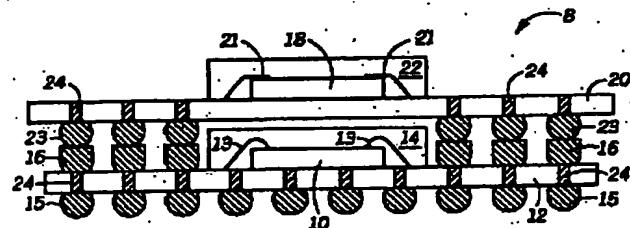
(74)代理人 弁理士 大貫 進介 (外1名)

(54)【発明の名称】 積層可能な三次元マルチチップ半導体デバイスとその製法

(57)【要約】

【目的】 積層可能な3次元マルチチップ・モジュール(MCM) 59は、1個のチップ・キャリヤ42が、はんだ接合29によって別のチップ・キャリヤ48と相互接続できるように製造できる。

【構成】 上方チップ・キャリヤ42は、基板46の下部表面にはんだボール23を有している。下方チップ・キャリヤ48は、基板の上部表面にはんだボール16、下部表面にはんだボール15を有している。ふた60を使用して、デバイス50を封止でき、ふたの高さは、キャリヤのレベル間の自然なスタンドオフ凸起の役目をして、接合の耐久寿命を最大限に伸ばす砂時計形状のはんだ接合29の働きをする。MCMの熱放散をさらに高めるためのヒートシンクは、この積層方法に容易に適応できる。また各基板が複数のチップを搭載できるので、モジュールは、平面チップ密度の増大と同時に、3次元チップ密度の増大を取り入れることができる。



(2)

1

【特許請求の範囲】

【請求項1】 積層可能な半導体マルチチップ・モジュール(8)であって、前記モジュールは：熱伝導性材料でできており、キャリヤの上部表面と底部表面の両方に複数のはんだバンプ(15)およびはんだパッド(16)を有する下方チップ・キャリヤ基板(12)；前記下方チップ・キャリヤ基板(12)に電気的および物理的に接着された第1半導体ダイ(10)；熱伝導性材料でできており、上部表面および底部表面を有する上方チップ・キャリヤ基板(20)；前記上方チップ・キャリヤ基板(20)の底部表面にある複数のはんだバンプ(23)；ならびに前記上方チップ・キャリヤ基板(20)に実装され、電気的に結合された第2半導体ダイ(18)；前記下方キャリヤ(12)および前記上方基板(20)が、前記はんだバンプ(23, 16)を接合することにより、互いに電気的に接続されていることを特徴とする第2半導体ダイ(18)；によって構成されることを特徴とする積層可能な半導体マルチチップ・モジュール。

【請求項2】 積層可能な半導体マルチチップ・モジュール(59)であって、前記モジュールは：熱伝導性材料で作られており、キャリヤ基板(52)の上部表面および底部表面の両方に、複数のはんだバンプ(15)およびはんだパッド(16)を有する下方チップ・キャリヤ基板(52)；前記下方チップ・キャリヤ基板(52)に電気的および物理的に接着された第1半導体ダイ(50)；熱伝導性材料で作られており、上部表面および底部表面を有する上方チップ・キャリヤ基板(46)；前記上方チップ・キャリヤ基板(46)の底部表面にある複数のはんだバンプ(23)；前記上方チップ・キャリヤ基板(46)に実装され、電気的に結合された第2半導体ダイ(10)において、前記下方チップ・キャリヤ基板(52)および前記上方チップ・キャリヤ基板(46)がはんだ接合(29)によって互いに電気的に接続されていることを特徴とする第2半導体ダイ(10)；ならびに前記第1半導体ダイを覆っており、前記上方チップ・キャリヤ基板(46)と、前記下方チップ・キャリヤ基板(52)の間に砂時計形状のはんだ接合(29)を作るためのスタンドオフ凸起の働きをするふた(60)；によって構成されることを特徴とする積層可能な半導体マルチチップ・モジュール(59)。

【請求項3】 積層可能な半導体マルチチップ・モジュール(25)であって、前記モジュールは：熱伝導性材料から作られており、下方チップ・キャリヤ基板(26)の上部表面および底部表面の両方に、複数のはんだバンプおよびはんだパッド(15, 16)を有する下方チップ・キャリヤ基板(26)；前記下方チップ・キャリヤ基板(26)に電気的および物理的に接着された第

リヤ基板(30)；前記上方チップ・キャリヤ基板(30)の底部表面上にある複数のはんだバンプ(23)；前記上方チップ・キャリヤ基板(30)に実装され、電気的に結合された第2半導体ダイ(18)において、前記下方チップ・キャリヤ基板(26)および前記上方チップ・キャリヤ基板(30)がはんだ接合(29)によって、互いに電気的に接続されていることを特徴とする第2半導体ダイ(18)；前記第1半導体ダイ(10)を覆っており、前記上方チップ・キャリヤ基板(30)と、前記下方チップ・キャリヤ基板(26)との間に砂時計形状のはんだ接合(29)を作るためのスタンドオフ凸起の働きをするふた(28)；ならびに熱放散を高めるために、前記下方チップ・キャリヤ基板(26)の上部表面に接着されたヒートシンク(40)；によって構成されることを特徴とする積層可能な半導体マルチチップ・モジュール。

【請求項4】 積層可能な半導体マルチチップ・モジュール(59)を製造する方法であって、前記方法は：熱伝導性材料から作られる下方チップ・キャリヤ基板(52)を設ける段階；前記下方チップ・キャリヤ基板(52)の上部表面および底部表面の両方に複数のはんだバンプおよびはんだパッド(15, 16)を被着させる段階；第1半導体ダイ(50)を、前記下方チップ・キャリヤ基板(52)の上に実装する段階；前記第1半導体ダイ(50)を、前記下方チップ・キャリヤ基板(52)に電気的に結合する段階；前記第1半導体ダイ(50)の上にふた(60)を置いて、スタンドオフ凸起の働きをさせる段階；熱伝導性材料から作られる上方チップ・キャリヤ基板(46)を設ける段階であって、前記上方チップ・キャリヤ基板は上部表面および底部表面を有する上方チップ・キャリヤ基板(46)を設ける段階；前記上方チップ・キャリヤ基板(46)の底部表面の上に、複数のはんだバンプ(23)を被着させる段階；第2半導体ダイ(10)を、前記上方チップ・キャリヤ基板(46)に実装する段階；前記半導体ダイ(10)を、前記上方チップ・キャリヤ基板(46)に電気的に結合する段階；はんだバンプおよびはんだパッド(15, 16, 23)の位置によって、前記上方チップ・キャリヤ基板(46)を、前記下方チップ・キャリヤ基板(52)と整合させる段階；ならびに前記はんだバンプおよびはんだパッドを一緒にリフローして、物理的接続および電気的接続(29)を達成する段階；によって構成されることを特徴とする積層可能な半導体マルチチップ・モジュールを製造する方法。

【請求項5】 積層可能な半導体マルチチップ・モジュール(59)を製造する方法であって、前記方法は：熱伝導性材料から作られる下方チップ・キャリヤ基板(26)を設ける段階；前記下方チップ・キャリヤ基板(26)に電気的および物理的に接着された第

(3)

3

段階；第1半導体ダイ（50）を、前記下方チップ・キャリヤ基板（26）の上に実装する段階；前記第1半導体ダイ（10）を、前記下方チップ・キャリヤ基板（26）に電気的に結合する段階；前記第1半導体ダイ（10）の上にふた（28）を置いて、スタンドオフ凸起の働きをさせる段階；熱伝導性材料から作られる上方チップ・キャリヤ基板（30）を設ける段階であって、前記上方チップ・キャリヤ基板は上部表面および底部表面を有する上方チップ・キャリヤ基板（30）を設ける段階；前記上方チップ・キャリヤ基板（30）の底部表面の上に、複数のはんだバンプ（23）を被着させる段階；第2半導体ダイ（18）を、前記上方チップ・キャリヤ基板（30）に実装する段階；前記半導体ダイ（18）を、前記上方チップ・キャリヤ基板（30）に電気的に結合する段階；前記はんだバンプおよびはんだパッド（15, 16, 23）の位置によって、前記上方チップ・キャリヤ基板（30）を、前記下方チップ・キャリヤ基板（26）と整合させる段階；前記はんだバンプおよびはんだパッドを共にリフローして、物理的接続および電気的接続（29）を達成する段階；ならびにヒートシンクを、前記下方チップ・キャリヤ基板（26）の表面に接着する段階；によって構成されることを特徴とする積層可能な半導体マルチチップ・モジュールを製造する方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は一般に半導体デバイスに関する、具体的には積層可能な3次元半導体マルチチップ・モジュールに関する。

【0002】

【従来の技術】現在、ほとんどの大規模集積回路（IC）は、プラスチックもしくはセラミック製のパッケージに封止されており、このパッケージからプリント回路（PC）板にはんだづけするため、またはソケットに挿入するための金属リードが伸びている。通常、これらのICパッケージはデュアル・イン・ライン（DIP）またはカッド・フラット（quad-flat）パッケージとして構成されている。大抵の例では、1個のICだけが1つのパッケージ内に入れられているが、時には1つのパッケージの中に複数のチップが入れられることがある。セラミックもしくはプラスチックのパッケージは、特にソケットを使用する場合、実装表面（通常はプリント回路板）の面積を比較的喰わないで、このようなパッケージ技術の結果、回路密度はそれほど高くならない。

【0003】またプリント回路板は、電子機器の他のあらゆるものと同様、小型化、高速化、高密度化している。実装面積が限られている場合、または速度に関する考慮要件から回路素子を近接して設置することが要求さ

(4)

4

セラミック基板をの使用する構成をとっており、この基板の上にICが未パッケージ形態でセラミック実装表面に直接接着され、この実装表面の導電領域にワイヤボンディングされるか、または反転されて、たとえばはんだバンプ技術によってセラミック実装表面上のメタライズ領域に直接接続される。しかしながらこのマルチチップ・モジュール（MCM）技術にはいくつかの限界がある。1つのセラミック実装表面上で複数のICを相互接続するには、望ましくはクロスオーバーを回避するようなパターンで、金属材料を被着する必要がある。また多くの表面では、きわめて精細な解像度の金属導体の被着は難しい。多層相互接続も可能であるが、時にはひどく高い費用がかかることがある、空気冷却下では、熱的許容損失機能に限界がある。またチップの直接接着は、モジュール組立前のバーンイン機能がないという制約があり、基板実装後の修理も難しい。さらに、能動、受動を問わず回路に対して部品が必要な場合、これに伴うサイズおよび実装機構の問題から、個別部品を使用しなければならない。

【0004】にも拘らずMCMの出現は、ICのパッケージングに目ざましい利点をもたらす。チップ間の時間遅延が少くなり、電気ノイズおよびクロストークが減少し、サイズが小さくなる。また使用するチップを大きくすることができ、マルチチップ・モジュール当たりのI/Oリード・カウントが大幅に増大する。しかしながらこれら種々の利点にも拘らず、現在のMCMは一連の問題を抱えている。熱管理の問題が大きくなっているのである。複数デバイスから発生する熱は除去しなければならない。1個のチップ上のゲートの密度が高まるにつれ、ダイから、ダイ接着剤、基板、ヒートシンクまでの熱通路全体を考慮に入れるべきである。単結晶シリコン、ならびに窒化アルミニウムや炭化珪素など熱伝導性セラミックは、従来のセラミック材料およびプリント回路板材料に比べて熱伝達機能や熱平均化機能が優れている。また熱の漸次変化も、はんだ、ワイヤボンドおよび電気接続の信頼性に大きな影響を与える。実際、MCM設計を成功させるには、個別的に最も効果的な導電性を有する材料と、集団的に熱膨張係数が似通っている材料との間で、バランスをとらなければならない。

【0005】従来、すべてのダイは組立前に一つ一つプロープで検査する一方、重要なユニットは、エージングを加速した条件下でバーンインを行って、後のシステム障害発生リスクを最小限にする。バーンインは弱いデバイスをふるい落とすために実施するもので、通常は裸チップよりもむしろパッケージされたデバイスに対してバーンインを行う。ほとんどのバーンイン障害は、弱い酸化ゲートを原因とするデバイスもしくはダイに関連するものである。MCMに対してバーンインを採用する場

(4)

5

ンインの欠点は、モジュール内の1パーセントのダイが障害を起こすことで、適切な取り外し手順によって、別の良好なダイと交換しなければならない。

【0006】もう1つのMCMアプローチでは、XY平面ではなく、Z軸に沿って裸チップを相互接続する。3次元パッケージングは、平面マルチチップ基板に比べて、より高いメモリ密度を提供し、必要な相互接続密度を減らしている。その結果、MCM、個別部品および受動部品をリンクする接続システムは、基板に対し直角をなすZ軸方向に伸びると予想される。ICの3次元パッケージングは、多くの分野で利点をもたらす。たとえば、速度と高密度化が重要なスーパーコンピュータのメモリ、或いはアクセス時間と高密度化が重要な大規模キッシュ・メモリに、役立てることができる。

【0007】裸チップを相互接続する1つの方法はチップを積み重ねて1つのキューブを形成することである。チップは、キューブを形成する前に予め、金線によって、一つ一つ、TABフィルムと同一の薄膜上で相互接続される。電気試験およびバーンインに合格した後、それらは、TABフィルムを使って、それぞれの上に積み重ねられて接着される。この構成のいちばんの欠点は熱放散が制限されることである。またいったんこのチップのキューブが形成されて基板の上に実装されると、後のチップ故障の再加工がきわめて実施しにくくなり、積層内に冗長チップを含めるので、モジュール全体のコストが高くなる。

【0008】超高密度MCMは、平面マルチチップ・モジュールに、この3次元アプローチを理想的に組み込むものである。ピン・グリッド・アレイ (Pin Grid Array s) (PGA) を積層してMCMを形成する方法は、20年前からあった。下部基板には従来の方法で、銅ピンが付けられる。半導体ダイはついで、チップ・キャリヤ基板にフリップ・チップ実装される。挿入器 (interposer) は、相互接続をはんだ接合する方法によって、チップ・キャリヤ基板を別のチップ・キャリヤまたは下部基板に物理的および電気的に結合する。これらの相互接続は各基板の周辺に位置しており、このことによってチップ構成、ひいては各レベルにおけるチップ密度が制限を受けやすくなる。PGAの銅ピンと挿入器は、キャリヤ間にスタンドオフを提供し、互いに破損し合わないように保っている。

【0009】

【発明が解決しようとする課題】このためMCMの設計を成功させるには、電力配分、熱放散および温度をはじめ、試験、バーンインおよび再加工を考慮に入れるべきである。MCMの設計の難しさは、電気特性、機械特性および熱特性が適正に配合された材料をみつけて組み立てることである。トレードオフはほとんど常に必要である。

6

スト効果の高い、製造の容易な超高密度MCMに対するニーズが存在する。

【0010】

【課題を解決するための手段】本発明に基づき、下方チップ・キャリヤ基板、上方チップ・キャリヤ基板および半導体ダイを有する積層半導体マルチチップ・モジュールが提供される。下方チップ・キャリヤは熱伝導性材料で作られており、上面と底面の両方に複数のはんだバンプを有している。上方チップ・キャリヤ基板も熱伝導性材料で作られており、その底面に複数のはんだバンプを有している。半導体ダイは、基板当たり少なくとも1個の割合で、下方および上方チップ・キャリヤ基板に対して、電気的および物理的に接着される。上記およびその他の特性ならびに利点は、添付図面と合わせて、以下の詳細な説明からより明確に把握されよう。指摘すべき重要なことは、図は必ずしも正確な縮尺で示されているわけではないこと、また具体的に示していない本発明の他の実施例も存在し得ることである。

【0011】

【実施例】本発明を用いれば、先に述べた3次元マルチチップ・モジュールの望ましい特性を満足して、XY平面の基板面積を余り犠牲にせずに、半導体を高密度にパッケージすることができる。本発明は、マルチチップ・モジュールをZ軸方向に積層することを可能にする。さらに本発明はこのようなモジュールを製造する方法を提供する。はんだリフロー前の、本発明に基づく積層マルチチップ・モジュール8の断面図を図1に示す。半導体ダイ10は、下方チップ・キャリヤ基板12の上に実装される。半導体ダイ10と、下方チップ・キャリヤ基板12との間の電気接続は、従来のやり方でワイヤ13をボンディングすることによって行う。また半導体ダイ10は封止材14によって封止され、これは封止樹脂もしくはグローブ・トップ (glob top) などの従来の封止材、またはその他の適切な材料で作ることができる。下方チップ・キャリヤ基板12は、窒化アルミニウムまたはシリコンなど熱伝導性材料によって形成するのが望ましい。FR-4などのプリント回路板材も使用できるが、この材料は、セラミックまたはシリコンほど熱伝導性がない。PC板材を選択する場合には、熱膨張の大きな食い違いも考慮に入れなければならない。しかしながら低コストであることは、ユーザが受け入れる充分な動機になろう。

【0012】また図1に示すように、下方チップ・キャリヤ基板12は、基板の底面に複数のはんだバンプ15を有している。これらのはんだバンプ15は、下方チップ・キャリヤ基板12を、実際のPC板 (図示していない) に実装するのに用いられる。さらに下方チップ・キャリヤ基板12は基板の上面にも複数のはんだパッドま

(5)

7

ップ・キャリヤに結び付ける働きをする。

【0013】また図1に、上方チップ・キャリヤ基板20の上に実装されたもう一つの半導体ダイ18を示す。半導体ダイ18と上方チップ・キャリヤ基板20との間の電気接続は、基板に対してTABボンディングされたワイヤ21によって行う。また半導体ダイ18は封止材22によって封止され、これは封止樹脂もしくはグロブ・トップなどの従来の封止材、またはその他の適切な材料で作ることができる。下方チップ・キャリヤ基板12と上方チップ・キャリヤ基板20がはんだ接合のために適正に整合されると、はんだバンプ16, 23が結合して、小型はんだ柱を形成する。

【0014】この実施例では、下方チップ・キャリヤ基板12および上方チップ・キャリヤ基板20は、相互の電気接続および他の基板との電気接続を行うために、スルーホール・バイア24を有している。しかしながら多層チップ・キャリヤ基板も、別の基板との電気接続を作るという同じ目的に使用できる。

【0015】図2に、積層マルチチップ・モジュール25の断面図を示す。この実施例の機構の多くは、図1で検討したのと全く同じであるので、同じ番号が付けられている。この実施例では、下方チップ・キャリヤ基板26の上には、1個の半導体デバイス27が実装されている。熱伝導性のふた28が半導体デバイス27を覆っている。ふた28は、砂時計形状のはんだ接合29を作るためのスタンドオフ凸起の働きもできる。この砂時計形状は、疲れ応力によりはんだ接合29の障害が発生するまでの時間を最大限引き延ばす。図1で述べたはんだバンプまたはパッド16, 23のサイズは、はんだ接合29の砂時計形状を達成するため、ふたの高さに従って最適化する必要がある。ふたが適所にないと、上部および底部のはんだバンプが、はんだリフロー工程の間に合体して、大きな1個のはんだバンプを形成する。この形状でも許容できるが、砂時計形状の方が耐久寿命にとってより望ましい。上方チップ・キャリヤ基板30の上には、2個の半導体デバイス32, 34がスタガ構成で実装されている。ヒートシンク40は、上方チップ・キャリヤ基板30に接着されており、このヒートシンクで下方半導体デバイス27からの熱を、熱伝導性の上方チップ・キャリヤ基板30およびふた28を介して、放散できる。注意すべきことは、第3レベル・チップ・キャリヤを使用する場合には、さらに上のレベル半導体デバイスともスタガリングして、下のレベル半導体デバイスからの熱を放散させるために、ヒートシンクを接着できるようにしなければならないことである。第2ヒートシンク41は、ヒートシンク40の上に実装されて、積層冷却フィン構成を形成する。MCMの熱放散水準を高めるために、ヒートシンク41の上にさらにヒートシンクを

(6)

8

る。

【0016】また3次元MCMを作るためにチップ・キャリヤを積層する方法も、本発明に基づくものである。図3に、部分的にポピュレートされた(populated)チップ・キャリヤ42の断面図を示す。図3に示すように、半導体デバイス44は、チップ・キャリヤ基板46の上に実装される。図ではチップ・キャリヤ基板46は多層となっている。注意すべきことは、いずれの実施例のチップ・キャリヤ基板も、デバイスと基板との電気接続を可能にするために、多層にしたり、またはスルーホール・バイアを持つようにできることである。ついで、特定のはんだ組成を有する複数のはんだバンプまたはボール23を、チップ・キャリヤ基板46の底面上に被着する。たとえばこののはんだは、鉛と錫の比率が80:20の組成、またはその他の実際的なはんだ合金組成をとってもよい。電気接続は、半導体デバイス44とはんだバンプ23との間に多層相互接続47を介して作られる。チップ・キャリヤ42は、はんだバンプ23を被着する前もしくは後に、試験およびバーンインを実施できる。

【0017】図4に、完全にポピュレートされたチップ・キャリヤ48の断面図を示す。半導体デバイス50は、チップ・キャリヤ基板52の上に実装される。図4に示すように、半導体デバイス50は、C4法はんだバンプ53によって、基板52の上に実装されたパッド・アレイ・キャリヤ(Pad Array Carrier) (PAC)として示されるが、他の実施可能な実装方法も使用できる。複数のはんだバンプまたはボール16は、はんだバンプ23とは異なる組成であることが望ましく、チップ・キャリヤ基板52の上面に被着される。はんだバンプ16は鉛と錫の比率が60:40または別の比率の合金組成で作ることができる。各チップ・キャリヤ基板の上に、異なる合金組成のはんだを使用する理由は、再加工を容易にし、後続のはんだリフローにおけるはんだ接合の再溶解を防止するためである。考えられる後続のリフロー動作段階の一例は、第3キャリヤをマルチチップ・モジュールの上に積層することである。集束光線を用いてはんだ接合を除去するので、再加工も簡単にできる。そのため、はんだの再溶解の間、はんだおよび基板の他のインターフェースを阻害しないことが望ましい。チップ・キャリヤ基板52の上部にあるはんだバンプ16のほかに、複数のはんだバンプ15も、基板52の底面に被着される。これらのはんだバンプ16は、完全なMCMを、PC板(図示していない)に実装するのに使用される。ここでもこれらははんだバンプは、先に述べた理由から、はんだバンプ23または、はんだバンプ16とは異なる組成であることが望ましい。

【0018】チップ・キャリヤ42, 48はそれぞれ、

(6)

9

なわち積層3次元MCM49を示す。積層工程において、2つのチップ・キャリヤ基板46、52ならびに特にはんだバンプ16、23の配列を、はんだリフローの前に互いに適正に整合すべきである。図1に、適正な整合の例を示す。はんだリフロー・プロセスでは、図5に示すように、はんだバンプ16、23が合体して、1個のはんだ接合柱58を形成する。上部および底部のはんだバンプと共に溶融して、銅ピンの場合のように、接合の弱いポイントなしに、1個の相互接続を形成するので、この構成は、2個の銅ピンを接合するはんだよりもより信頼性の高いものになるはずである。

【0019】本発明の1つのバリエーションを図6に示す。積層MCM59の断面図を示す。熱伝導性のふた60をこの積層構成に付加して、はんだ接合29のためのスタンドオフを形成している。ふた60が課す物理的制約のために、はんだ接合29は砂時計形状をとつており、この形状は、接合の端に集中している応力が減少するので、接合の耐久寿命を長くする。

【0020】積層MCMを作るプロセスのいちばんの利点は、モジュールを組み立てる前に、各レベルのチップ・キャリヤに対し、組立、試験、バーンインが実施できることである。そのためコスト増につながる不良品や冗長チップ・セットの使用が回避できる。また本発明の再加工も簡単に実施できる。はんだ接合またははんだ柱は局部的に熱風をあてる方法により、それぞれ取り外して再接合できる。

【0021】上記の説明およびここに含まれる図は、本発明に関連する多くの利点を示している。またこの3次元MCMの構成は、効率的な熱放散ユニットであることが明かとなった。はんだ柱の配列は、モジュールからの自然熱対流を促進するための冷却フィンの働きをする。本発明に基づき、先に述べたニーズおよび利点を完全に満足する積層可能な3次元マルチチップ・モジュールが提供されることが明かとなる。本発明は、具体的な実施例を参照して説明しているが、本発明がこれら図示した実施例に限定されることを意図するものではない。当業者は、本発明の意図から逸脱せずに、変形およびバリエーションが可能なことを認めよう。たとえば、ダミーのはんだバンプも、下方チップ・キャリヤを機械的にサポートするのに使用でき、その際、積層3次元MCMの電気特性、または積層構成のXY平面におけるスペース節約の利点のいずれかに影響を及ぼすことはない。また注意すべき重要なことは、本発明は決して、積層パッド配列キャリヤのみに限定するものではないことである。パッケージされた半導体デバイスをチップ・キャリヤ基板に実装し、電気的に結合する適切な方法で、なおかつ基板の積層を可能にする方法ならいすれを利用してもよい。したがって本発明は、添付請求の範囲に属するすべて

10

【図面の簡単な説明】

【図1】本発明に基づく積層3次元半導体マルチチップ・モジュール(MCM)の、はんだリフロー前の断面図である。

【図2】ヒートシンクを有する積層3次元半導体MCMの断面図であり、本発明の1つの実施例を示している。

【図3】基板の下部表面上にはんだバンプを有するチップ・キャリヤ基板に実装された半導体デバイスの断面図であり、本発明に基づき、3次元半導体MCMを組み立てる1つの段階を示している。

【図4】基板の下部および上部表面の両方にはんだバンプを有するチップ・キャリヤ基板の上に実装された半導体デバイスの断面図であり、本発明に基づき、3次元半導体MCMを組み立てる1つの段階を示している。

【図5】積層3次元半導体MCMの断面図であり、本発明の1つの実施例を示している。

【図6】下方半導体デバイスを覆うふたを備えた積層3次元半導体マルチチップ・モジュールの断面図であり、本発明の1つの実施例を示している。

【符号の説明】

8 積層可能なマルチチップ・モジュール

10 半導体ダイ

12 下方チップ・キャリヤ基板

13 ワイヤ

14 封止材

15 はんだバンプ

16 はんだパッド

18 半導体ダイ

20 上方チップ・キャリヤ基板

30 封止材

23 はんだバンプ／ボール

24 スルーホール・バイア

25 積層マルチチップ・モジュール

26 下方チップ・キャリヤ基板

27 半導体デバイス

28 ふた

29 はんだ接合

30 上方チップ・キャリヤ基板

32, 34 半導体デバイス

40, 41 ヒートシンク

42 チップ・キャリヤ

44 半導体デバイス

46 チップ・キャリヤ基板

47 多層相互接続

48 チップ・キャリヤ

49 積層3次元MCM

50 半導体デバイス

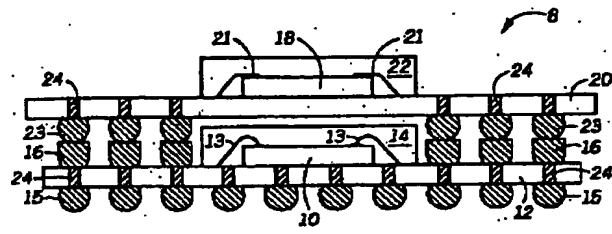
52 チップ・キャリヤ基板

(7)

59 積層MCM

11

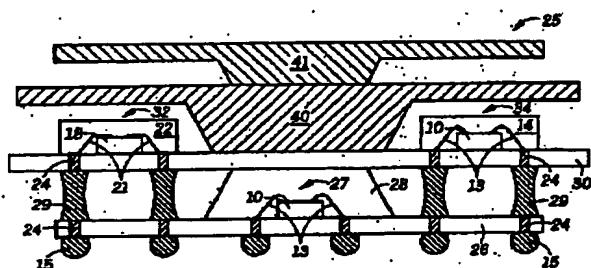
【図1】



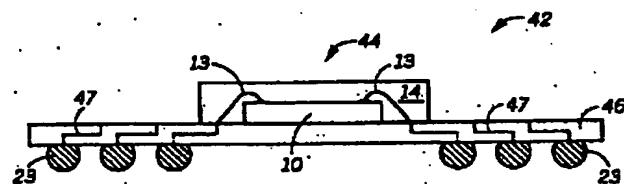
12

60 ふた

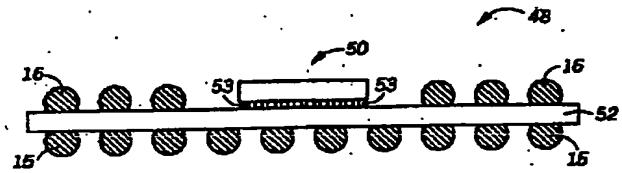
【図2】



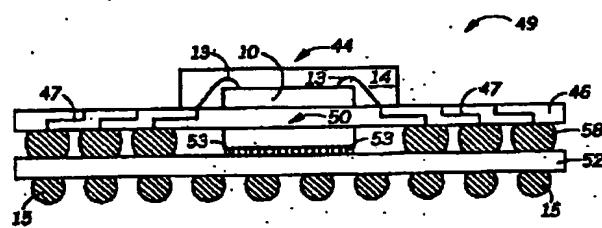
【図3】



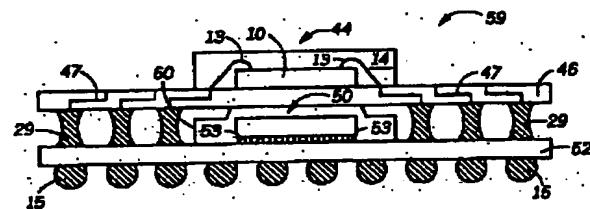
【図4】



【図5】



【図6】



(2)

1

第2半導体ダイを、前記上方チップ・キャリヤ基板に取り付けて電気的に結合する段階；

前記はんだバンプの位置により、前記上方チップ・キャリヤ基板を前記下方チップ・キャリヤ基板に整合させる段階；ならびに

2

前記はんだバンプリフローして、物理的接続および電気的接続を達成する段階；

によって構成されることを特徴とする積層可能な半導体マルチチップ・モジュールを製造する方法。

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.